

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-342908

(43)Date of publication of application : 02.12.2004

(51)Int.Cl.

H01L 21/336  
H01L 21/28  
H01L 21/768  
H01L 21/8244  
H01L 21/8247  
H01L 27/11  
H01L 27/115  
H01L 29/78  
H01L 29/788  
H01L 29/792

(21)Application number : 2003-139081

(71)Applicant : TOSHIBA CORP  
CHUBU TOSHIBA ENGINEERING KK

(22)Date of filing : 16.05.2003

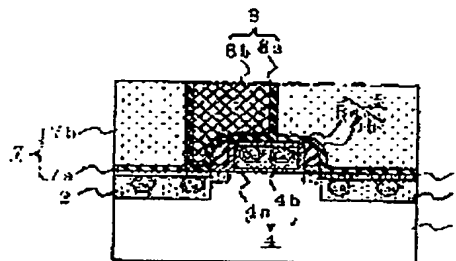
(72)Inventor : MAEKAWA DAISUKE

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device suppressing the generation of spikes and high in reliability, and its manufacturing method.

SOLUTION: The manufacturing method of a semiconductor device is provided with a process for forming a gate 4 on a silicon substrate 1, a process for forming diffusion layers 2, 3 on predetermined positions of the silicon substrate 1, a process for forming the side wall 5 of the gate, a process for forming a silicide metal layer 6 on the diffusion layers 2, 3 and the gate 4, a process for forming an interlayer insulating film 7 on the whole surface of the same, a process for forming contact holes connected to the gate 4 and the silicon substrate 1, a process for forming a barrier metal layer 8a on the contact holes, a process for forming a metallic layer 8b on the barrier metal layer 8a, and a process for pouring Ge ion into the whole surface is provided before the process for forming the side wall 5 of the gate.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

Searching PAJ

2/2 ページ

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

**書誌**

(19)【発行国】日本国特許庁(JP)  
(12)【公報種別】公開特許公報(A)  
(11)【公開番号】特開2004-342908(P2004-342908A)  
(43)【公開日】平成16年12月2日(2004. 12. 2)  
(54)【発明の名称】半導体装置の製造方法及び半導体装置  
(51)【国際特許分類第7版】

H01L 21/336  
H01L 21/28  
H01L 21/768  
H01L 21/8244  
H01L 21/8247  
H01L 27/11  
H01L 27/115  
H01L 29/78  
H01L 29/788  
H01L 29/792

**【FI】**

H01L 29/78	301	P
H01L 21/28		A
H01L 21/28	301	D
H01L 27/10	381	
H01L 21/90		C
H01L 29/78	301	Y
H01L 29/78	371	
H01L 27/10	434	

【審査請求】未請求

【請求項の数】4

【出願形態】OL

【全頁数】7

(21)【出願番号】特願2003-139081(P2003-139081)

(22)【出願日】平成15年5月16日(2003. 5. 16)

(71)【出願人】

【識別番号】000003078

【氏名又は名称】株式会社東芝

【住所又は居所】東京都港区芝浦一丁目1番1号

(71)【出願人】

【識別番号】598082433

【氏名又は名称】中部東芝エンジニアリング株式会社

【住所又は居所】愛知県名古屋市中区栄1-16-6 名古屋三蔵東邦生命ビル6階

(74)【代理人】

【識別番号】100081732

【弁理士】

【氏名又は名称】大胡 典夫

(74)【代理人】

【識別番号】100075683

【弁理士】

【氏名又は名称】竹花 喜久男

(74)【代理人】

【識別番号】100084515

【弁理士】

【氏名又は名称】宇治 弘

(72)【発明者】

【氏名】前川 大介

【住所又は居所】愛知県名古屋市中区栄1-16-6 名古屋三蔵東邦生命ビル6階 中部東芝エンジニアリング株式会社内

【テーマコード(参考)】

4M104

5F033

5F083

5F101

5F140

【Fターム(参考)】

4M104 AA01 BB01 BB20 CC01 CC05 DD06 DD17 DD19 DD26 DD91 EE05 EE09 EE12 EE16 EE17 FF14 FF22 GG09 GG10

5F033 HH04 JJ18 KK01 KK04 KK25 MM07 NN06 NN07 QQ08 QQ09 QQ19 QQ37 QQ58 QQ60 QQ62 QQ65 QQ70 RR04 RR06

5F083 BS00 BS46 GA06 GA09 JA35 JA39 JA53 MA01 MA03 MA05 MA19 PR29 PR36

5F101 BD27 BD45 BF09 BH09 BH13

5F140 AA24 AA39 AB03 AC32 BF04 BF11 BF18 BF38 BF60 BG08 BG09 BG12 BG14 BG34 BG37 BG43 BG44 BG45 BG46

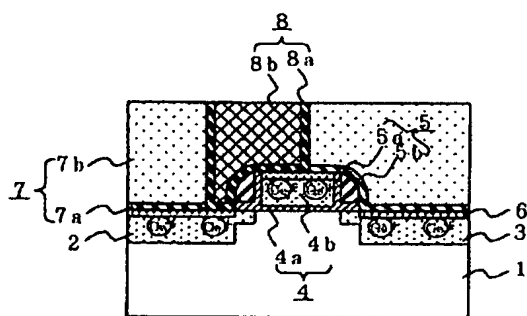
要約

(57)【要約】

【課題】スパイクの発生を抑え、信頼性の高い半導体装置とその製造方法を提供する。

【解決手段】シリコン基板1上にゲート4を形成する工程と、シリコン基板1の所定位置に拡散層2、3を形成する工程と、ゲートの側壁5を形成する工程と、拡散層2、3及びゲート4上にサリサイド金属層6を形成する工程と、全面に層間絶縁膜7を形成する工程と、層間絶縁膜7に、ゲート4とシリコン基板1に接続するコンタクトホールを形成する工程と、コンタクトホールにバリア金属層8aを形成する工程と、バリア金属層8a上に金属層8bを形成する工程を具備し、ゲート側壁5を形成する工程の前に、全面にGeイオンを注入する工程を備える。

【選択図】図1



請求の範囲

【特許請求の範囲】

【請求項1】

シリコン基板上にゲートを形成する工程と、  
前記シリコン基板の所定位置に拡散層を形成する工程と、  
前記ゲートの側壁を形成する工程と、  
前記拡散層及び前記ゲート上にサリサイドメタル層を形成する工程と、  
全面に層間絶縁膜を形成する工程と、  
前記層間絶縁膜に、前記ゲートと前記シリコン基板に接続するコンタクトホールを形成する工程と、  
前記コンタクトホールにバリアメタル層を形成する工程と、  
前記バリアメタル層上に金属層を形成する工程を具備し、  
前記ゲート側壁を形成する工程の前に、全面にGeイオンを注入する工程を備えることを特徴とする半導体装置の製造方法。

【請求項2】

前記層間絶縁膜及び前記ゲート側壁は、SiN層を備えることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

拡散層を形成したシリコン基板上に、ゲートと、ゲート側壁を有し、  
前記拡散層及び前記ゲートの第1領域上に形成されるサリサイドメタル層と、  
前記拡散層及び前記ゲートの第2領域上に形成されるバリアメタル層、金属層からなるコンタクトと、  
前記コンタクトを除く全面に形成される層間絶縁膜を備え、  
少なくとも前記コンタクトの形成される前記シリコン基板表面近傍領域に、Geが注入されていることを特徴とする半導体装置。

【請求項4】

前記層間絶縁膜及び前記ゲート側壁は、SiN層を備えることを特徴とする請求項3記載の半導体装置。

## 詳細な説明

### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、シェアドコンタクトを有する半導体装置の製造方法及び半導体装置に関する。

#### 【0002】

#### 【従来の技術】

例えばCMOSパターンにおいて、従来ゲートと基板に電流を供給するコンタクトは個々に設けられていたが、近年、メモリー素子の微細化に伴い、ゲート幅の狭小化とともに、シェアドコンタクト(Sheard Contact)の開発が進められている。このシェアドコンタクトは、ゲートと基板に同一のコンタクトで電流を供給できるパターンであり、コンタクトを別個に設ける必要がないので、素子の微細化において大きなメリットを有している。

#### 【0003】

このようなシェアドコンタクトを有するCMOSの構造を図4に示す。図に示すように、シリコン基板1にはソース、ドレイン領域2、3が形成されており、これらの領域の間上にゲート絶縁膜4a、ゲート電極4bからなるゲート4が形成され、ゲート4の側壁には酸化膜5a、SiN層5bからなるゲート側壁5が形成されている。ソース、ドレイン領域2、3及びゲート4上には、サリサイドメタル層6が形成されており、サリサイドメタル層上には、層間絶縁膜7としてバリアSiN層7a、BPSG層7bが順次形成されている。そして、ソース領域2とゲートに接続するバリアメタル層8a、金属層8bからなるシェアドコンタクト8が形成されている。

#### 【0004】

このようなCMOSは以下のように形成される。まず、図5(a)に示すように、素子分離したシリコン基板1上に酸化膜、ポリシリコン膜を形成、パターンングし、ゲート絶縁膜4a、ゲート電極4bからなるゲート4を形成後、シリコン基板の所定領域に浅いソース、ドレイン領域2'、3'を形成し、全面に酸化膜5aを形成する。次いで、図5(b)に示すように、ゲート側壁を構成するSiN層(スペーサSiN層5b)を

形成し、表面の酸化膜を除去した後、ソース、ドレイン領域2、3及びゲート上にサリサイド金属層6を形成する。

【0005】

次いで図5(c)に示すように、全面に層間絶縁膜7としてSiN層(バリアSiN層7a)、BPSG層7bを順次形成し、ソース領域2とゲートに接続するコンタクトホール9を形成、その内壁にバリア金属層8aを形成する。さらに、バリア金属層8a上に金属層8bを埋め込み、シェアドコンタクト8を形成し、図4に示すようなCMOSを構成する。

【0006】

【発明が解決しようとする課題】

しかしながら、コンタクトホールを形成する際、図6(a)に拡大図を示すように、BPSG層7b、バリアSiN層7aを順次エッチングするが、同時にスペーサSiN層5bもエッチングされ、ゲート側壁5が後退してしまう。そして、後退した部分のSi基板1が露出してしまう(露出部分10)。そして、図6(b)に示すように、コンタクトホール9の内壁にバリア金属層8aを形成する際のスパッタ工程時にSiの細線効果により、基板のSiとバリア金属のTiが異常反応を起こしてしまい、基板掘れ(スパイク11)が発生していた。さらに、このようなスパイクにより、電流が基板へ流れ込み、リーク不良が発生するという問題があった。

【0007】

そこで、本発明は、従来の欠点を取り除き、スパイクの発生を抑え、信頼性の高い半導体装置の製造方法及び半導体装置を提供することを目的とするものである。

【0008】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、シリコン基板上にゲートを形成する工程と、シリコン基板の所定位置に拡散層を形成する工程と、ゲートの側壁を形成する工程と、拡散層及びゲート上にサリサイド金属層を形成する工程と、全面に層間絶縁膜を形成する工程と、層間絶縁膜に、ゲートとシリコン基板に接続するコンタクトホールを形成する工程と、コンタクトホールにバリア金属層を形成する工程と、バリア金属層上に金属層を形成する工程を具備し、ゲート側壁を形成する工程の前に、全面にGeイオンを注入する工程を備えることを特徴とするものである。

【0009】

また、本発明の半導体装置の製造方法においては、層間絶縁膜及びゲート側壁は、SiN層を備えることを特徴としている。

【0010】

さらに、本発明の半導体装置は、拡散層を形成したシリコン基板上にゲートと、ゲート側壁を有し、拡散層及びゲートの第1領域上に形成されるサリサイド金属層と、拡散層及びゲートの第2領域上に形成されるバリア金属層、金属層からなるコンタクトと、コンタクトを除く全面に形成される層間絶縁膜を備え、少なくともコンタクトの形成されるシリコン基板表面近傍領域に、Geが注入されていることを特徴とするものである。

【0011】

また、本発明の半導体装置においては、層間絶縁膜及びゲート側壁は、SiN層を備えることを特徴としている。

【0012】

【発明の実施の形態】

以下本発明の実施形態について、図を参照して説明する。

【0013】

図1に本発明に係る半導体装置の構造を示す。図に示すように、シリコン基板1にはソース領域2、ドレイン領域3が形成されており、これらの領域の間上にゲート絶縁膜4a、ポリシリコンからなるゲート電極4bから構成されるゲート4が形成されている。ここで、表面近傍領域には、Geが注入されている。尚、図中の( $\text{Ge}^+$ )は実際の存在状態を示すものではない。そして、ゲート側壁5として酸化膜5a、スペーサSiN層5bが形成されており、ソース領域2、ドレイン領域3及びゲート4上には、サリサイド金属層6が形成されている。サリサイド金属層6上には層間絶縁膜7としてバリアSiN層7a、BPSG層7bが順次形成されており、ソース領域2、ゲート4に接続するように、バリア金属層8a、金属

層8bからなるシェアドコンタクト8が形成され、上層(図示せず)と接続されている。

【0014】

このようなCMOSは以下のように形成される。先ず、図2(a)に示すように、素子分離したシリコン基板1上の全面に酸化膜4a、ポリシリコン膜4bを形成、パターンニングし、ゲート4を形成後、シリコン基板1の所定領域に、N型トランジスタには $As^+$ 、 $P^+$ をP型トランジスタには $B^+$ 、 $BF_2^+$ などを注入して、浅いソース領域2'、ドレイン領域3'を形成し、全面に酸化膜5aを形成する。次いで、図2(b)に示すように、加速電圧:5~30keV、ドーズ量:1.0E+14~1.0E+16cm<sup>-2</sup>で、全面にGeを注入し、SH処理(硫酸と過酸化水素水によるWet処理)により表面処理を行う。そして、図2(c)に示すように、SiN層を全面に形成した後、等方性エッチングを行い、自己整合的にゲート側壁にスペーサSiN層5bを形成し、露出した酸化膜5aを除去した後、さらにN型、P型のイオン種を注入し、夫々ソース領域2、ドレイン領域3を形成する。

【0015】

次いで、図3(a)に示すように、全面にCo膜を形成し、熱処理で $CoSi_2$ を成長させ、Wet処理にて未反応Coを除去することにより、ソース、ドレイン領域2、3及びゲート4上にサリサイドメタル層6を形成する。そして図3(b)に示すように、全面に層間絶縁膜7として、SiN層(バリアSiN層7a)、BPSG層7bを順次形成した後、所定パターンのコンタクトホール9を形成する。さらに、図3(c)に示すように、コンタクトホール9内壁に、Tiからなるバリアメタル層8aを形成する。そして、金属層8bを埋め込みシェアドコンタクト8を形成し、図1に示すような半導体装置を構成する。

【0016】

このようにして形成された半導体装置において、シリコン基板表層部にGeが存在しているため、シリコン基板1のSiとバリアメタル層8aのTiの異常反応によるスパイクの発生が抑えられ、リーク不良などの不具合の発生を抑制することができる。

【0017】

【発明の効果】

本発明によれば、スパイクの発生を抑え、信頼性の高い半導体装置とその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置を示す図。

【図2】本発明の半導体装置の製造方法を示す図。

【図3】本発明の半導体装置の製造方法を示す図。

【図4】従来の半導体装置を示す図。

【図5】従来の半導体装置の製造方法を示す図。

【図6】従来の半導体装置の問題を示す拡大図。

【符号の説明】

1 シリコン基板

2、2' ソース領域

3、3' ドレイン領域

4 ゲート

4a ゲート絶縁膜

4b ゲート電極

5 ゲート側壁

5a 酸化膜

5b スペーサSiN層

6 サリサイドメタル層

7 層間絶縁膜

7a バリアSiN層

7b BPSG層

8 シェアドコンタクト

8a バリアメタル層

- 8b 金属層
- 9 コンタクトホール
- 10 露出部分
- 11 スパイク

## 図の説明

### 【図面の簡単な説明】

【図1】本発明の半導体装置を示す図。

【図2】本発明の半導体装置の製造方法を示す図。

【図3】本発明の半導体装置の製造方法を示す図。

【図4】従来の半導体装置を示す図。

【図5】従来の半導体装置の製造方法を示す図。

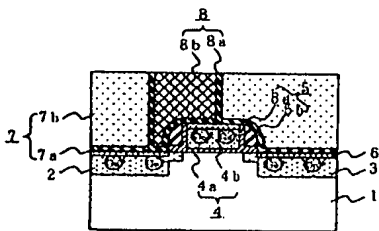
【図6】従来の半導体装置の問題を示す拡大図。

### 【符号の説明】

- 1 シリコン基板
- 2、2' ソース領域
- 3、3' ドレイン領域
- 4 ゲート
- 4a ゲート絶縁膜
- 4b ゲート電極
- 5 ゲート側壁
- 5a 酸化膜
- 5b スペーサSiN層
- 6 サリサイドメタル層
- 7 層間絶縁膜
- 7a バリアSiN層
- 7b BPSG層
- 8 シェアドコンタクト
- 8a バリアメタル層
- 8b 金属層
- 9 コンタクトホール
- 10 露出部分
- 11 スパイク

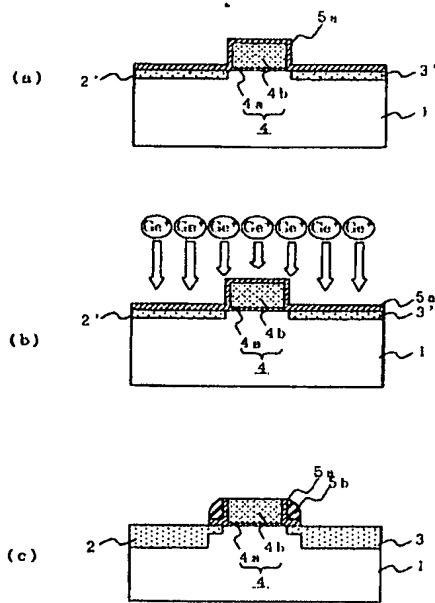
## 図面

### 【図1】

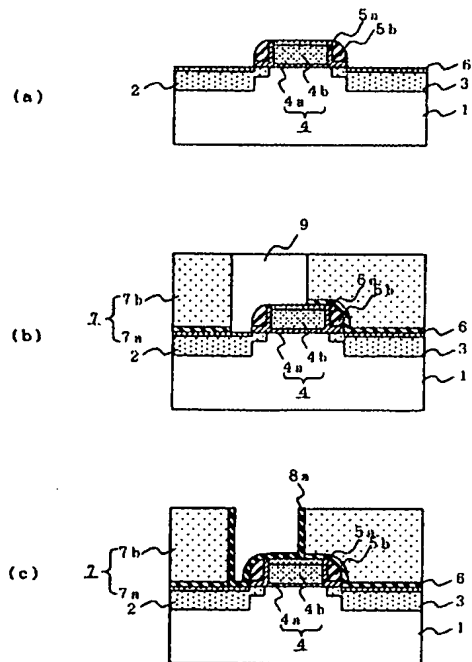


### 【図2】

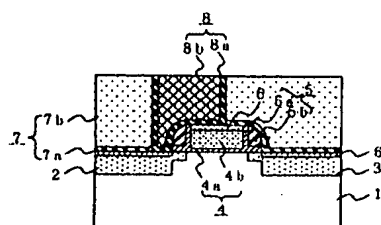




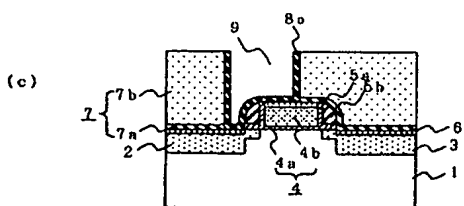
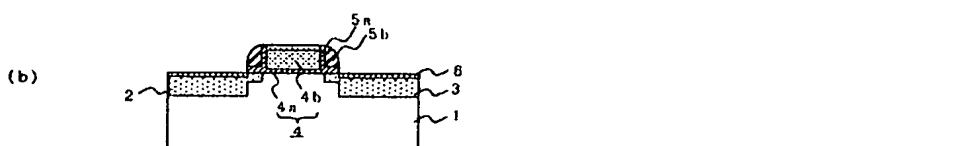
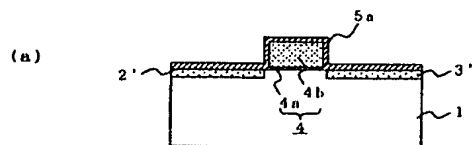
【図3】



【図4】



【図5】



【図6】

